

日 本 国 特 許 庁  
PATENT OFFICE  
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application:

2000年12月26日

出 願 番 号  
Application Number:

特願2000-394959

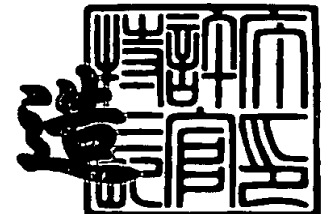
出 願 人  
Applicant(s):

セイコーエプソン株式会社

2001年 1月26日

特許庁長官  
Commissioner,  
Patent Office

及 川 耕 造



出証番号 出証特2001-3000756

【書類名】 特許願

【整理番号】 EP-0293401

【提出日】 平成12年12月26日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/467

【発明者】

【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

【氏名】 樋口 俊彦

【特許出願人】

【識別番号】 000002369

【氏名又は名称】 セイコーエプソン株式会社

【代理人】

【識別番号】 100090479

【弁理士】

【氏名又は名称】 井上 一

【電話番号】 03-5397-0891

【選任した代理人】

【識別番号】 100090387

【弁理士】

【氏名又は名称】 布施 行夫

【電話番号】 03-5397-0891

【選任した代理人】

【識別番号】 100090398

【弁理士】

【氏名又は名称】 大渕 美千栄

【電話番号】 03-5397-0891

【先の出願に基づく優先権主張】

【出願番号】 特願2000- 935

【出願日】 平成12年 1月 6日

【手数料の表示】

【予納台帳番号】 039491

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9402500

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】 レジストパターンをマスクとして導電層をエッチングすることにより形成された配線パターンを有する半導体装置であって、

層間絶縁層に形成されたコンタクト部と、

前記層間絶縁層上に形成され、前記コンタクト部に対して所定間隔より短い間隔で配置された第 1 配線と、

前記コンタクト部との接続領域を有する第 2 配線と、を含み、

前記第 2 配線は、前記コンタクト部との接続領域において、非配線領域に延びるエクステンション部を有し、

前記エクステンション部は、前記接続領域において、前記第 1 配線に面した辺以外の少なくとも一部に配置された、半導体装置。

【請求項 2】 請求項 1 において、

前記所定間隔より短い間隔は、配線パターンにおける配線相互の最小間隔である、半導体装置。

【請求項 3】 請求項 1 または 2 において、

前記接続領域は、その平面形状が前記コンタクト部とほぼ同一の径を有する正方形あるいは前記コンタクト部より大きい径を有する正方形である、半導体装置。

【請求項 4】 請求項 1 ないし 3 のいずれかにおいて、

前記エクステンション部は、その幅が前記配線の幅と同じである、半導体装置。

【請求項 5】 請求項 1 ないし 4 のいずれかにおいて、

前記エクステンション部は、その突出長さが前記配線の幅と同じである、半導体装置。

【請求項 6】 請求項 1 ないし 5 のいずれかにおいて、

前記エクステンション部は、その平面形状が正方形である、半導体装置。

【請求項 7】 レジストパターンをマスクとして導電層をエッチングすることにより形成された配線パターンを有する半導体装置であって、

層間絶縁層に形成されたコンタクト部と、

前記層間絶縁層上に形成され、前記コンタクト部に対して最小配線間隔で配置された第 1 配線と、

前記コンタクト部との接続領域を有し、前記第 1 配線と平行に延びる第 2 配線と、を含み、

前記第 2 配線の前記接続領域は、ほぼ正方形の平面形状を有し、

前記第 2 配線は、前記接続領域において、非配線領域に延びるエクステンション部を有し、かつ、

前記エクステンション部は、前記接続領域において、前記第 1 配線に面した辺以外の辺に配置された、半導体装置。

【請求項 8】 レジストパターンをマスクとして導電層をエッチングすることにより形成された配線パターンを有する半導体装置であって、

層間絶縁層に形成されたコンタクト部と、

前記層間絶縁層上に形成され、前記コンタクト部に対して最小配線間隔で配置された第 1 配線と、

前記コンタクト部との接続領域を有し、前記第 1 配線と垂直方向に延びる第 2 配線と、を含み、

前記第 2 配線の前記接続領域は、ほぼ正方形の平面形状を有し、

前記第 2 配線は、前記接続領域において、非配線領域に延びるエクステンション部を有し、かつ、

前記エクステンション部は、前記接続領域において、前記第 1 配線に面した辺以外の辺に配置された、半導体装置。

【請求項 9】 レジストパターンをマスクとして導電層をエッチングすることにより形成された配線パターンを有する半導体装置であって、

層間絶縁層に形成されたコンタクト部と、

前記層間絶縁層上に形成され、前記コンタクト部に対して最小配線間隔で配置された第 1 配線と、

前記コンタクト部との接続領域を有し、前記第 1 配線と平行に延びる部分と前記第 1 配線と垂直方向に延びる部分とを有する第 2 配線と、を含み、

前記第 2 配線の前記接続領域は、ほぼ正方形の平面形状を有し、

前記第 2 配線は、前記接続領域において、非配線領域に延びるエクステンション部を有し、かつ、

前記エクステンション部は、前記接続領域において、前記第 1 配線に面した辺以外の辺に配置された、半導体装置。

【請求項 10】 レジストパターンをマスクとして導電層をエッチングすることにより形成された配線パターンを有する半導体装置であって、

層間絶縁層に形成されたコンタクト部と、

前記層間絶縁層上に形成され、前記コンタクト部に対して最小配線間隔で配置された第 1 配線と、

前記コンタクト部との接続領域のみを有する第 2 配線と、を含み、

前記第 2 配線の前記接続領域は、ほぼ正方形の平面形状を有し、

前記第 2 配線は、前記接続領域において、非配線領域に延びるエクステンション部を有し、かつ、

前記エクステンション部は、前記接続領域において、前記第 1 配線に面した辺以外の辺に配置された、半導体装置。

【請求項 11】 レジストパターンをマスクとして導電層をエッチングすることにより形成された配線パターンを有する半導体装置であって、

層間絶縁層に形成されたコンタクト部と、

前記層間絶縁層上に形成され、前記コンタクト部に対して最小配線間隔で配置された複数の第 1 配線と、

少なくとも前記コンタクト部との接続領域を有する第 2 配線と、を含み、

前記第 2 配線の前記接続領域は、ほぼ正方形の平面形状を有し、

前記第 2 配線は、前記接続領域において、非配線領域に延びるエクステンション部を有し、かつ、

前記エクステンション部は、前記接続領域において、複数の前記第 1 配線に面した辺以外の辺に配置された、半導体装置。

【請求項 1 2】 レジストパターンをマスクとして導電層をエッチングすることにより形成された配線パターンを有する半導体装置であって、  
層間絶縁層に形成されたコンタクト部と、  
前記コンタクト部との接続領域を有する配線と、を含み、  
前記配線の前記接続領域は、ほぼ正方形の平面形状を有し、  
前記配線は、前記接続領域において、非配線領域に延びるエクステンション部を有する、半導体装置。

【請求項 1 3】 請求項 1 2 において、  
前記配線はライン状をなし、前記接続領域の 3 辺においてエクステンション部を有する、半導体装置。

【請求項 1 4】 請求項 1 2 において、  
前記配線は前記接続領域からなり、該接続領域の 4 辺においてエクステンション部を有する、半導体装置。

【請求項 1 5】 ラインパターンを配置し、かつ、少なくとも下層の接続ホールパターンを覆う接続領域パターンを設定し、該接続領域パターンの各辺にエクステンションパターンを配置し、さらに、該エクステンションパターンのうち、接続領域パターンの辺に対して所定間隔より短い間隔で隣り合うラインパターンに面するエクステンションパターンを消去することにより、マスクパターンを形成する第 1 工程、

前記マスクパターンを用いたリソグラフィーによって、導電層上にレジストパターンを形成する第 2 工程、および

前記レジストパターンをマスクとして導電層をエッチングすることにより配線パターンを形成する第 3 工程、を含む半導体装置の製造方法。

【請求項 1 6】 請求項 1 5 において、  
前記所定間隔より短い間隔は、ラインパターンにおけるライン相互の最小間隔である、半導体装置の製造方法。

【請求項 1 7】 請求項 1 5 または 1 6 において、  
前記接続領域パターンは、前記接続ホールパターンと同一あるいはこれより大きい正方形である、半導体装置の製造方法。

【請求項 1 8】 請求項 1 5 ないし 1 7 のいずれかにおいて、  
前記エクステンションパターンは、その幅が前記ラインパターンのライン幅と同じである、半導体装置の製造方法。

【請求項 1 9】 請求項 1 5 ないし 1 8 のいずれかにおいて、  
前記エクステンションパターンは、その突出長さが前記ラインパターンのライン幅と同じである、半導体装置の製造方法。

【請求項 2 0】 請求項 1 5 ないし 1 9 のいずれかにおいて、  
前記エクステンションパターンは、正方形である、半導体装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、レジストパターンをマスクとして導電層をエッチングすることにより形成された配線パターンを有する半導体装置およびその製造方法に関する。

【0 0 0 2】

【背景技術】

まず、半導体装置における配線パターンの一般的な製造方法について説明する。

【0 0 0 3】

図 6 は、レジストパターンを形成するためのマスクパターンを示す平面図である。図 7 は、図 6 に示すマスクパターンによって得られたレジストパターンをマスクとして形成された配線パターンを示す平面図である。図 8 は、図 7 に示す A - A に沿った断面図である。図 9 は、図 7 に示す B - B 線に沿った断面図である。

【0 0 0 4】

図 6 に示すマスクパターンにおいて、第 1 ～第 3 のラインパターン 1 0 5 ～1 0 7 は、配線を形成するためのパターンを示す。このようなマスクパターンは、一般的に用いられる C A D システムを用いて形成される。そして、マスクパターンを用いたリソグラフィーによってレジストパターンが形成される。このレジストパターンをマスクとして導電層をエッチングすることにより、配線が形成される。その後、レジストを公知の方法によって除去する。このようにして得られた



配線パターンを図 7 に示す。

【 0 0 0 5 】

図 7 に示す例においては、第 2 配線 1 1 5 は第 1 配線 1 1 7 と平行に配置されている。さらに、第 3 配線 1 1 6 は、第 1 配線 1 1 7 と直交する方向に配置されている。そして、第 2 配線 1 1 5 の一端は、層間絶縁層 1 2 0 に形成されたコンタクト部 1 3 0 と接続されている。コンタクト部 1 3 0 は、ビアホール 1 1 3 内に埋め込まれた金属層から構成されている。また、第 3 配線 1 1 6 の一端は、ビアホール 1 1 4 内に埋め込まれたコンタクト部 1 3 2 と接続されている。なお、図 7 においては、図示した配線より下層の配線を図示しない。

【 0 0 0 6 】

このようなパターンの第 1 ～第 3 配線を形成するためのマスクパターンは、図 6 に示すように、第 2 ラインパターン 1 0 5 はビアホールパターン 1 0 3 を覆うように引き延ばされ、第 2 ラインパターン 1 0 5 の端部がビアホールパターン 1 0 3 の端部とほぼ一致する状態で設計されていた。同様に、第 3 ラインパターン 1 0 6 は、ビアホールパターン 1 0 4 を覆うように引き延ばされ、第 3 ラインパターン 1 0 6 の端部がビアホールパターン 1 0 4 の端部とほぼ一致する状態で設計されていた。

【 0 0 0 7 】

ところで、レジストパターンをマスクとしてエッチングすることにより配線を形成する場合、一般に、レジストパターンが疎の部分ではエッチングされた配線は、そのレジストパターンより太くなり、一方、レジストパターンが密の部分ではエッチングされた配線は、そのレジストパターンと同じか、あるいはより細くなるという特性がある。この状態を図 8 および図 9 に示す。図 8 では、パターンが粗の状態の配線を示している。この状態では、エッチング時に配線 1 1 7 の側面にテーパが形成されて、配線 1 1 7 の幅は、結果的にレジストの幅より大きくなる。図 9 では、配線が孤立していない状態を示している。この状態では、配線 1 1 5 と配線 1 1 7 とが対向する側面ではテーパが形成されない。

【 0 0 0 8 】

また、配線パターンの微細化にともなうレジストの後退により、図 7 に示すよ

うに、ビアホール 1 1 3 内のコンタクト部 1 3 0 と第 2 配線 1 1 5 とのオーバーラップ領域、ならびにビアホール 1 1 4 内のコンタクト部 1 3 2 と第 3 配線 1 1 6 とのオーバーラップ領域が不十分となることがある。その結果、配線 1 1 5、1 1 6 とコンタクト部 1 3 0、1 3 2 との接触抵抗の増加や配線信頼性の低下といった問題が生じることがある。

#### 【 0 0 0 9 】

また、図 7 に示すように、第 1 配線 1 1 7 の一方側に配置されたビアホール 1 1 3、1 1 4 の相互間は、その近傍に配線パターンのない領域であるから、エッチング時に図 8 に示すように第 1 配線 1 1 7 の側面にテーパが形成され、配線 1 1 7 の底部が上部より太くなる。このため、第 1 配線 1 1 7 に、レジストパターンと異なる突出した領域 1 1 7 a が形成される。このような突出領域 1 1 7 a によって、配線 1 1 7 とコンタクト部 1 3 0、1 3 2 のそれぞれとの間隔  $L_1$ 、 $L_2$  が所定の最小配線間隔より小さくなり、その結果コンタクト部と配線とがショートする不良が発生することがある。

#### 【 0 0 1 0 】

上述したように、従来の一般的な半導体装置では、パターンの微細化にともなうレジストの後退により接続ホール（ビアホールまたはコンタクトホール）と配線のオーバーラップ領域が不十分となり、配線と接続ホール内に埋め込まれたコンタクト部との接触抵抗の増加や配線信頼性の低下といった問題が生じる。また、配線パターンが疎の領域では、配線の幅はエッチング時に形成されるテーパによってレジストの幅より太くなる。このため、太くなった配線部分は、その近傍に配置された下層のコンタクト部とショートしてしまうことがある。

#### 【 0 0 1 1 】

##### 【発明が解決しようとする課題】

本発明の目的は、配線と接続ホール内に埋め込まれたコンタクト部との接触抵抗が高くならびに配線信頼性の高い半導体装置、およびその製造方法を提供することにある。

#### 【 0 0 1 2 】

##### 【課題を解決するための手段】

本発明は、レジストパターンをマスクとして導電層をエッチングすることにより形成された配線パターンを有する半導体装置であって、

層間絶縁層に形成されたコンタクト部と、

前記層間絶縁層上に形成され、前記コンタクト部に対して所定間隔より短い間隔で配置された第 1 配線と、

前記コンタクト部との接続領域を有する第 2 配線と、を含み、

前記第 2 配線は、前記コンタクト部との接続領域において、非配線領域に延びるエクステンション部を有し、

前記エクステンション部は、前記接続領域において、前記第 1 配線に面した辺以外の少なくとも一部に配置される。

【 0 0 1 3 】

本発明にかかる半導体装置によれば、コンタクト部との接続領域においてエクステンション部を有するので、配線の接続領域において下層のコンタクト部をほぼ完全に覆うことができる。したがって、接続ホール（コンタクトホールあるいはビアホール）内に形成されたコンタクト部と配線との接触抵抗を小さくでき、配線の信頼性を高めることができる。

【 0 0 1 4 】

本発明にかかる半導体装置は、以下のような各種の態様をとることができる。これらの態様は、後述する各構成の半導体装置に適用できる。

【 0 0 1 5 】

(a) 前記所定間隔より短い間隔は、配線パターンにおける配線相互の最小間隔（以下、これを「最小配線間隔」という）である。この最小配線間隔は、半導体装置のデザインルールなどによって異なるが、たとえば  $0.1\ \mu\text{m}$  以上  $1\ \mu\text{m}$  以下の値をとることができる。

【 0 0 1 6 】

(b) 前記接続領域は、その平面形状が前記コンタクト部とほぼ同一の径を有する正方形、あるいは前記コンタクト部より大きい径を有する正方形である。

【 0 0 1 7 】

(c) 前記エクステンション部は、その幅が前記配線の幅と同じであり、そ

して、その突出長さが前記配線の幅と同じであることが望ましい。また、前記エクステンション部は、その平面形状が正方形であることが望ましい。

【 0 0 1 8 】

さらに、本発明にかかる半導体装置は、以下の構成をとることができる。

【 0 0 1 9 】

(1) 半導体装置は、

層間絶縁層に形成されたコンタクト部と、

前記層間絶縁層上に形成され、前記コンタクト部に対して最小配線間隔で配置された第 1 配線と、

前記コンタクト部との接続領域を有し、前記第 1 配線と平行に延びる第 2 配線と、を含み、

前記第 2 配線の前記接続領域は、ほぼ正方形の平面形状を有し、

前記第 2 配線は、前記接続領域において、非配線領域に延びるエクステンション部を有し、かつ、

前記エクステンション部は、前記接続領域において、前記第 1 配線に面した辺以外の辺に配置される。

【 0 0 2 0 】

(2) 半導体装置は、

層間絶縁層に形成されたコンタクト部と、

前記層間絶縁層上に形成され、前記コンタクト部に対して最小配線間隔で配置された第 1 配線と、

前記コンタクト部との接続領域を有し、前記第 1 配線と垂直方向に延びる第 2 配線と、を含み、

前記第 2 配線の前記接続領域は、ほぼ正方形の平面形状を有し、

前記第 2 配線は、前記接続領域において、非配線領域に延びるエクステンション部を有し、かつ、

前記エクステンション部は、前記接続領域において、前記第 1 配線に面した辺以外の辺に配置される。

【 0 0 2 1 】

(3) 半導体装置は、

層間絶縁層に形成されたコンタクト部と、

前記層間絶縁層上に形成され、前記コンタクト部に対して最小配線間隔で配置された第 1 配線と、

前記コンタクト部との接続領域を有し、前記第 1 配線と平行に延びる部分と前記第 1 配線と垂直方向に延びる部分とを有する第 2 配線と、を含み、

前記第 2 配線の前記接続領域は、ほぼ正方形の平面形状を有し、

前記第 2 配線は、前記接続領域において、非配線領域に延びるエクステンション部を有し、かつ、

前記エクステンション部は、前記接続領域において、前記第 1 配線に面した辺以外の辺に配置される。

【 0 0 2 2 】

(4) 半導体装置は、

層間絶縁層に形成されたコンタクト部と、

前記層間絶縁層上に形成され、前記コンタクト部に対して最小配線間隔で配置された第 1 配線と、

前記コンタクト部との接続領域のみを有する第 2 配線と、を含み、

前記第 2 配線の前記接続領域は、ほぼ正方形の平面形状を有し、

前記第 2 配線は、前記接続領域において、非配線領域に延びるエクステンション部を有し、かつ、

前記エクステンション部は、前記接続領域において、前記第 1 配線に面した辺以外の辺に配置される。

【 0 0 2 3 】

(5) 半導体装置は、

層間絶縁層に形成されたコンタクト部と、

前記層間絶縁層上に形成され、前記コンタクト部に対して最小配線間隔で配置された複数の第 1 配線と、

少なくとも前記コンタクト部との接続領域を有する第 2 配線と、を含み、

前記第 2 配線の前記接続領域は、ほぼ正方形の平面形状を有し、

前記第 2 配線は、前記接続領域において、非配線領域に延びるエクステンション部を有し、かつ、

前記エクステンション部は、前記接続領域において、複数の前記第 1 配線に面した辺以外の辺に配置される。

【 0 0 2 4 】

(6) 半導体装置は、  
層間絶縁層に形成されたコンタクト部と、  
前記コンタクト部との接続領域を有する配線と、を含み、  
前記配線の前記接続領域は、ほぼ正方形の平面形状を有し、  
前記配線は、前記接続領域において、非配線領域に延びるエクステンション部を有する。

【 0 0 2 5 】

この半導体装置において、前記配線はライン状をなし、前記接続領域の 3 辺においてエクステンション部を有することができる。また、前記配線は前記接続領域からなり、該接続領域の 4 辺においてエクステンション部を有することができる。

【 0 0 2 6 】

本発明にかかる製造方法は、  
ラインパターンを配置し、かつ、少なくとも下層の接続ホールパターンを覆う接続領域パターンを設定し、該接続領域パターンの各辺にエクステンションパターンを配置し、さらに、該エクステンションパターンのうち、接続領域パターンの辺に対して所定間隔より短い間隔で隣り合うラインパターンに面するエクステンションパターンを消去することにより、マスクパターンを形成する第 1 工程、  
前記マスクパターンを用いたリソグラフィーによって、導電層上にレジストパターンを形成する第 2 工程、および  
前記レジストパターンをマスクとして導電層をエッチングすることにより配線パターンを形成する第 3 工程、を含む。

【 0 0 2 7 】

本発明にかかる製造方法は、以下の態様をとることができる。

【 0 0 2 8 】

(a) 前記所定間隔より短い間隔は、ラインパターンにおけるライン相互の最小間隔である。

【 0 0 2 9 】

(b) 前記接続領域パターンは、前記接続ホールパターンと同一あるいはこれより大きい正方形である。

【 0 0 3 0 】

(c) 前記エクステンションパターンは、その幅が前記ラインパターンのライン幅と同じであり、また、その突出長さが前記ラインパターンのライン幅と同じであることが望ましい。また、前記エクステンションパターンは、正方形であることが望ましい。

【 0 0 3 1 】

【発明の実施の形態】

以下、本発明が適用された代表的なパターン例について、図面を参照しながら説明する。

【 0 0 3 2 】

(第 1 の実施の形態)

図 1 は、本発明の第 1 の実施の形態にかかる半導体装置の配線パターンを形成するためのマスクパターンを模式的に示す平面図である。図 2 は、図 1 に示すマスクパターンの設計方法を説明するための平面図である。図 3 は、図 1 に示すマスクパターンを用いてパターンニングされた配線パターンを示す平面図である。

【 0 0 3 3 】

〔マスクパターン〕

この実施の形態では、X 方向に延びるラインパターンと、このラインパターンに隣接する、コンタクト部を有する複数のラインパターンを配置した例を示す。

【 0 0 3 4 】

具体的には、図 1 に示すマスクパターンでは、第 1 ラインパターン 7、この第 1 ラインパターン 7 に隣接して配置された第 2 ラインパターン 5 および第 3 ラインパターン 6 が配列されている。第 1 および第 2 ラインパターン 7、5 は、いず

れもX方向に延び、第3ラインパターン6はY方向に延びる。そして、第2および第3ラインパターン5、6は、第1ラインパターン7に対していずれも所定距離より短い間隔、具体的には最小配線間隔を隔てて配置されている。

## 【 0 0 3 5 】

第2および第3ラインパターン5、6の端部には、それぞれ正方形の接続領域パターン5a、6aが形成されている。接続領域パターン5a、6aは、正方形のビアホールパターン3、4と重なるパターン、あるいはビアホールパターン3、4より一回り大きいパターンを有する。これらの接続領域パターン5a、6aは、非配線領域であって、かつ、第1ラインパターン7に面する辺以外の辺に対してそれぞれエクステンションパターンを有する。

## 【 0 0 3 6 】

すなわち、第2ラインパターン5においては、接続領域パターン5aの2辺において、X方向（右側）に延びるエクステンションパターン12が形成され、Y方向（下側）に延びるエクステンションパターン13が形成されている。また、第3ラインパターン6においては、接続領域パターン6aの2辺において、X方向（右側）に延びるエクステンションパターン12が形成され、X方向（左側）に延びるエクステンションパターン14が形成されている。

## 【 0 0 3 7 】

エクステンションパターンは、リソグラフィーによるレジストパターンの形成時およびエッチング時に生じるマスクリニアリティの誤差を緩和することで、配線の接続領域を確保できればよく、その形状や大きさは特に限定されない。エクステンションパターンは、その幅がラインパターンのライン幅と同じであり、さらに、その突出長さがラインパターンのライン幅と同じであることが望ましい。すなわち、エクステンションパターンは、ラインパターンの幅と同じ長さの辺を有する正方形であることが望ましい。エクステンションパターンがこのような形状を有することで、パターンの設計が容易で、かつ、レジストパターンの後退の影響を受けても配線の接続領域を確実に形成できる。以上のエクステンションパターンの形状および大きさに関することは、他の実施の形態でも同様である。

## 【 0 0 3 8 】



〔マスクパターンの設計方法〕

次に、図 1 に示すマスクパターンの設計方法について述べる。

【 0 0 3 9 】

(a) まず、配線パターンの基本パターンであるラインパターンを配置し、かつ、少なくとも下層の接続ホールパターンを覆う接続領域パターンと、この接続領域パターンの各辺にエクステンションパターンを配置する。

【 0 0 4 0 】

具体的には、たとえば図 1 に示すように、第 1、第 2 および第 3 ラインパターン 5、6、7 を配置する。また、これらのラインパターンと重なる接続ホールパターン 3、4 を少なくとも覆う接続領域パターン 5 a、6 a にエクステンションパターンを配置する。

【 0 0 4 1 】

エクステンションパターンは、図 2 に示すように、正方形の接続ホールパターン 1 0 に対応する正方形の接続領域パターン 1 0 a の場合、接続領域パターンの各辺に第 1 ないし第 4 エクステンションパターン 1 1 ～ 1 4 が配置される。

【 0 0 4 2 】

(b) さらに、第 1 ないし第 4 エクステンションパターン 1 1 ～ 1 4 のうち、接続領域パターン 5 a、6 a の辺と所定間隔より短い間隔（この例では最小配線間隔）で隣り合うラインパターンに面するエクステンションパターンを消去する。

【 0 0 4 3 】

具体的には、図 1 に示すように、最小配線間隔をおいて配置された第 1 ラインパターン 7 と、第 2 および第 3 ラインパターン 5、6 との間の領域（斜線で示す領域）1 0 0 は、エクステンションパターンの配置が禁止される領域に設定される。したがって、接続領域パターン 5 a、6 a のエクステンションパターン 1 1 ～ 1 4 のうち、禁止領域 1 0 0 でのエクステンションパターン 1 1 が消去される。なお、ラインパターンと重なるエクステンションパターンは、設計上、消去もしくは無視するように設定できる。

【 0 0 4 4 】

## 〔半導体装置の製造方法〕

上述した方法により得られたマスクパターンを用い、公知のリソグラフィ技術によってレジストパターンを形成する。たとえば、基板あるいは層間絶縁層上にレジストを塗布し、マスクパターンを用いた描画用データに基づいてパターンを描き、現像およびレジストの剥離という一連のプロセスによってレジストパターンを形成することができる。

## 【 0 0 4 5 】

さらに、このようにして得られたレジストパターンをマスクとして導電層をエッチングすることにより配線パターンを形成する。

## 【 0 0 4 6 】

## 〔半導体装置〕

以上の製造方法によって得られた半導体装置の配線パターンの例を図 3 に示す。

## 【 0 0 4 7 】

図 3 に示す半導体装置においては、層間絶縁層 1 2 0 上に配線パターンが形成されている。配線パターンは、図 1 に示したマスクパターンのラインパターンに対応した配線と、エクステンションパターンに対応したエクステンション部とを有する。各部分の形状については、後に詳述する。

## 【 0 0 4 8 】

層間絶縁層 1 2 0 には、ビアホール 3 0, 4 0 内に埋め込まれた金属層からなるコンタクト部 3 6, 4 6 が形成されている。ビアホールは、その径がある程度小さくなると、光近接効果によってビアホールパターンのコーナー部が丸くなり、ほぼ円形の平面形状を有する。

## 【 0 0 4 9 】

図示の例では、コンタクト部 3 6, 4 6 に対して所定間隔より短い間隔（この例ではほぼ最小配線間隔）で第 1 配線 1 7 が配置されている。この第 1 配線 1 7 に隣接して第 2 配線 1 5 および第 3 配線 1 6 が配置されている。第 1 および第 2 配線 1 7, 1 5 は、いずれも X 方向に延び、第 3 配線 1 6 は Y 方向に延びている。そして、第 2 および第 3 配線 1 5, 1 6 は、第 1 配線 1 7 に対していずれも最

小配線間隔を隔てて配置されている。

【 0 0 5 0 】

第2および第3配線15, 16は、その端部に、ビアホール30, 40内のコンタクト部36, 46とそれぞれ重なる接続領域50a, 60aを有する。これらの接続領域50a, 60aは、非配線領域であって、かつ、第1配線17に面する辺以外の辺に対してそれぞれエクステンション部を有する。

【 0 0 5 1 】

すなわち、第2配線15においては、接続領域50aの2辺において、X方向（右側）に延びるエクステンション部12a、およびY方向（下側）に延びるエクステンション部13aが形成されている。また、第3配線16においては、接続領域60aの2辺において、X方向（右側）に延びるエクステンション部12a、およびX方向（左側）に延びるエクステンション部14aが形成されている。各エクステンション部は、パターンの微細化に伴うレジスト層の後退により、マスクパターンにおけるエクステンションパターンの形状をそのまま反映することは難しい。しかし、少なくとも、接続領域50a, 60aにおいて、それぞれ配線は下層のコンタクト部36, 46をほぼ完全に覆うことができる。したがって、ビアホール内に形成されたコンタクト部と配線との接触抵抗を小さくでき、配線の信頼性を高めることができる。

【 0 0 5 2 】

さらに、この実施の形態においては、図1に示すように、第2および第3ラインパターン5, 6は、X方向に延びるエクステンションパターン12, 14を有することにより、これらを有さない場合に比べて第1ラインパターン7に対して相対的に密のパターンを形成することになる。その結果、図3に示す第1配線17では、エッチングによって形成される突出部17aの幅を小さくできる。したがって、パターンの粗密によるマスクリニアリティの誤差を緩和でき、より精度の高い配線のパターンニングができる。そして、この例では、配線相互間および配線とコンタクト部とのショートを防止できる。

【 0 0 5 3 】

（第2の実施の形態）

図 4 は、本発明の第 2 の実施の形態にかかる半導体装置の配線パターンを形成するためのマスクパターンを模式的に示す平面図である。図 5 は、図 4 に示すマスクパターンを用いてパターニングされた配線パターンを示す平面図である。本実施の形態において、第 1 の実施の形態と実質的に同じ機能を有する部分には同じ符号を付して説明する。

## 【 0 0 5 4 】

## [マスクパターン]

この実施の形態では、コンタクト部を有するラインパターンの形状が第 1 の実施の形態と異なる。すなわち、本実施の形態では、X 方向に延びるラインパターンと、このラインパターンに隣接する、コンタクト部を有するラインパターンおよびコンタクト部のみからなるラインパターンを配置した例を示す。

## 【 0 0 5 5 】

具体的には、図 4 に示すマスクパターンでは、第 1 ラインパターン 7、この第 1 ラインパターン 7 に隣接して配置された第 2 ラインパターン 2 1 および第 3 ラインパターン 2 2 が配列されている。第 1 ラインパターン 1 7 は X 方向に延び、第 2 ラインパターン 2 1 は Y 方向に延びる。第 3 ラインパターン 2 2 は、配線として延びるパターン部分を有さない。そして、第 2 および第 3 ラインパターン 2 1, 2 2 は、第 1 ラインパターン 7 に対していずれも所定距離より短い間隔、具体的には最小配線間隔を隔てて配置されている。

## 【 0 0 5 6 】

第 2 および第 3 ラインパターン 2 1, 2 2 には、それぞれ正方形の接続領域パターン 5 a, 6 a が形成されている。接続領域パターン 5 a, 6 a は、正方形のビアホールパターン 3, 4 と重なるパターン、あるいはビアホールパターン 3, 4 より一回り大きいパターンを有する。これらの接続領域パターン 5 a, 6 a は、非配線領域であって、かつ、第 1 ラインパターン 7 に面する辺以外の辺に対してそれぞれエクステンションパターンを有する。

## 【 0 0 5 7 】

すなわち、第 2 ラインパターン 2 1 においては、接続領域パターン 5 a の 1 辺において、X 方向（右側）に延びるエクステンションパターン 1 2 が形成されて

いる。また、第3ラインパターン22においては、接続領域パターン6aの3辺において、X方向（右側）に延びるエクステンションパターン12、Y方向（下側）に延びるエクステンションパターン13、およびX方向（左側）に延びるエクステンションパターン14が形成されている。

## 【0058】

## [マスクパターンの設計方法]

次に、図4に示すマスクパターンの設計方法について述べる。この設計方法は、第1の実施の形態で述べた設計方法と基本的に同じである。

## 【0059】

(a) まず、配線パターンの基本パターンであるラインパターンを配置し、かつ、少なくとも下層の接続ホールパターンを覆う接続領域パターンと、この接続領域パターンの各辺にエクステンションパターンを配置する。

## 【0060】

具体的には、たとえば図4に示すように、第1、第2および第3ラインパターン7、21、22を配置する。また、これらのラインパターンと重なる接続ホールパターン3、4を少なくとも覆う接続領域パターン5a、6aにエクステンションパターンを配置する。エクステンションパターンは、図2に示すように、正方形の接続領域パターンの各辺に第1ないし第4エクステンションパターン11～14が配置される。

## 【0061】

(b) さらに、第1ないし第4エクステンションパターン11～14のうち、接続領域パターン5a、6aの辺と所定間隔より短い間隔（この例では最小配線間隔）で隣り合うラインパターンに面するエクステンションパターンを消去する。

## 【0062】

具体的には、図4に示すように、最小配線間隔をおいて配置された第1ラインパターン7と、第2および第3ラインパターン21、22との間の領域100は、エクステンションパターンの配置が禁止される領域に設定される。したがって、接続領域パターン5a、6aのエクステンションパターン11～14のうち、

禁止領域 1 0 0 でのエクステンションパターン 1 1 が消去される。なお、ラインパターンと重なるエクステンションパターンは、設計上、消去もしくは無視するように設定できる。

【 0 0 6 3 】

〔半導体装置の製造方法〕

半導体装置の製造方法は、第 1 の実施の形態と同様である。すなわち、上述した方法により得られたマスクパターンを用い、公知のリソグラフィ技術によってレジストパターンを形成する。さらに、このようにして得られたレジストパターンをマスクとして導電層をエッチングすることにより配線パターンを形成する。

【 0 0 6 4 】

〔半導体装置〕

以上の製造方法によって得られた半導体装置の配線パターンの例を図 5 に示す。

【 0 0 6 5 】

図 5 に示す半導体装置においては、層間絶縁層 1 2 0 上に配線パターンが形成されている。配線パターンは、図 4 に示したマスクパターンのラインパターンに対応した配線と、エクステンションパターンに対応したエクステンション部とを有する。各部分の形状については、後に詳述する。

【 0 0 6 6 】

ビアホール 3 0, 4 0 およびコンタクト部 3 6, 4 6 は、第 1 の実施の形態と同様である。

【 0 0 6 7 】

図示の例では、コンタクト部 3 6, 4 6 に対して所定間隔より短い間隔（この例ではほぼ最小配線間隔）で第 1 配線 1 7 が配置されている。この第 1 配線 1 7 に隣接して第 2 配線 3 1 および第 3 配線 3 2 が配置されている。第 1 配線 1 7 は X 方向に延び、第 2 配線 3 1 は X 方向および Y 方向に延びている。第 3 配線 3 2 は、上下のコンタクト部を接続するためのみのコンタクト領域を構成している。そして、第 2 および第 3 配線 3 1, 3 2 は、第 1 配線 1 7 に対していずれも最小

配線間隔を隔てて配置されている。

【 0 0 6 8 】

第 2 および第 3 配線 3 1, 3 2 は、ビアホール 3 0, 4 0 内のコンタクト部 3 6, 4 6 とそれぞれ重なる接続領域 5 0 a, 6 0 a を有する。これらの接続領域 5 0 a, 6 0 a は、非配線領域であって、かつ、第 1 配線 1 7 に面する辺以外の辺に対してそれぞれエクステンション部を有する。

【 0 0 6 9 】

すなわち、第 2 配線 3 1 においては、接続領域 5 0 a の 1 辺において、X 方向（右側）に延びるエクステンション部 1 2 a が形成されている。また、第 3 配線 3 2 においては、接続領域 6 0 a の 3 辺において、X 方向（右側）に延びるエクステンション部 1 2 a、Y 方向（下側）に延びるエクステンション部 1 3 a、および X 方向（左側）に延びるエクステンション部 1 4 a が形成されている。各エクステンション部は、パターンの微細化に伴うレジスト層の後退により、マスクパターンにおけるエクステンションパターンの形状をそのまま反映することは難しい。しかし、少なくとも、接続領域 5 0 a, 6 0 a において、それぞれ配線は下層のコンタクト部 3 6, 4 6 をほぼ完全に覆うことができる。したがって、ビアホール内に形成されたコンタクト部と配線との接触抵抗を小さくでき、配線の信頼性を高めることができる。

【 0 0 7 0 】

さらに、この実施の形態においては、図 4 に示すように、第 2 および第 3 ラインパターン 2 1, 2 2 は、X 方向に延びるエクステンションパターン 1 2, 1 2 を有することにより、これらを有さない場合に比べて第 1 ラインパターン 7 に対して相対的に密のパターンを形成することになる。その結果、図 5 に示す第 1 配線 1 7 では、エッチングによって形成される突出部 1 7 a の幅を小さくできる。したがって、パターンの粗密によるマスクリニアリティの誤差を緩和でき、より精度の高い配線のパターンニングができる。そして、この例では、配線相互間および配線とコンタクト部とのショートを防止できる。

【 0 0 7 1 】

（第 3 の実施の形態）

図 1 0 は、本発明の第 3 の実施の形態にかかる半導体装置の配線パターンを形成するためのマスクパターンを模式的に示す平面図である。図 1 1 は、図 1 0 に示すマスクパターンを用いてパターニングされた配線パターンを示す平面図である。本実施の形態において、第 1 の実施の形態と実質的に同じ機能を有する部分には同じ符号を付して説明する。

## 【 0 0 7 2 】

## [マスクパターン]

この実施の形態では、コンタクト部を有するラインパターンの形状と配置が第 1 の実施の形態と異なる。すなわち、本実施の形態では、X 方向に延びるラインパターンと、このラインパターンに隣接する、コンタクト部を有する複数のラインパターンを配置した例を示す。

## 【 0 0 7 3 】

具体的には、図 1 0 に示すマスクパターンでは、第 1 ラインパターン 7、この第 1 ラインパターン 7 に隣接して配置された第 2 ラインパターン 4 1 および第 3 ラインパターン 4 2 が配列されている。第 1 ラインパターン 1 7 は X 方向に延び、第 2 ラインパターン 4 1 は X 方向および Y 方向に延び、第 3 ラインパターン 4 2 は、Y 方向に延びる。そして、第 2 および第 3 ラインパターン 4 1、4 2 は、第 1 ラインパターン 7 に対していずれも所定距離より短い間隔、具体的には最小配線間隔を隔てて配置されている。さらに、第 2 ラインパターン 4 1 と第 3 ラインパターン 4 2 とは、最小配線間隔を隔てて配置されている。

## 【 0 0 7 4 】

第 2 および第 3 ラインパターン 4 1、4 2 には、それぞれ正方形の接続領域パターン 5 a、6 a が形成されている。接続領域パターン 5 a、6 a は、正方形のビアホールパターン 3、4 と重なるパターン、あるいはビアホールパターン 3、4 より一回り大きいパターンを有する。接続領域パターン 6 a は、非配線領域であって、かつ、第 1 ラインパターン 7 に面する辺および第 2 ラインパターン 4 1 に面する辺以外の辺に対してエクステンションパターンを有する。これに対し、接続領域パターン 5 a は、非配線領域が禁止領域 1 0 0 であるため、エクステンションパターンを有さない。禁止領域 1 0 0 については後述する。



【 0 0 7 5 】

すなわち、第 2 ラインパターン 4 1 においては、接続領域パターン 5 a のいずれの辺においても、エクステンションパターンが形成されていない。また、第 3 ラインパターン 4 2 においては、接続領域パターン 6 a の 1 辺において、X 方向（右側）に延びるエクステンションパターン 1 2 が形成されている。

【 0 0 7 6 】

〔マスクパターンの設計方法〕

次に、図 1 0 に示すマスクパターンの設計方法について述べる。この設計方法は、第 1 の実施の形態で述べた設計方法と基本的に同じである。

【 0 0 7 7 】

（a）まず、配線パターンの基本パターンであるラインパターンを配置し、かつ、少なくとも下層の接続ホールパターンを覆う接続領域パターンと、この接続領域パターンの各辺にエクステンションパターンを配置する。

【 0 0 7 8 】

具体的には、たとえば図 1 0 に示すように、第 1、第 2 および第 3 ラインパターン 7、4 1、4 2 を配置する。また、これらのラインパターンと重なる接続ホールパターン 3、4 を少なくとも覆う接続領域パターン 5 a、6 a にエクステンションパターンを配置する。エクステンションパターンは、図 2 に示すように、正方形の接続領域パターンの各辺に第 1 ないし第 4 エクステンションパターン 1 1 ～ 1 4 が配置される。

【 0 0 7 9 】

（b）さらに、第 1 ないし第 4 エクステンションパターン 1 1 ～ 1 4 のうち、接続領域パターン 5 a、6 a の辺と所定間隔より短い間隔（この例では最小配線間隔）で隣り合うラインパターンに面するエクステンションパターンを消去する。

【 0 0 8 0 】

具体的には、図 1 0 に示すように、最小配線間隔をおいて配置された第 1 ラインパターン 7 と、第 2 および第 3 ラインパターン 4 1、4 2 との間の領域、および第 2 ラインパターン 4 1 と第 3 ラインパターン 4 2 との間の領域（斜線で示す

領域) 1 0 0 は、エクステンションパターンの配置が禁止される領域に設定される。したがって、接続領域パターン 5 a, 6 a のエクステンションパターン 1 1 ~ 1 4 のうち、禁止領域 1 0 0 でのエクステンションパターン 1 1, 1 4 が消去される。なお、ラインパターンと重なるエクステンションパターンは、設計上、消去もしくは無視するように設定できる。

## 【 0 0 8 1 】

## 〔半導体装置の製造方法〕

半導体装置の製造方法は、第 1 の実施の形態と同様である。すなわち、上述した方法により得られたマスクパターンを用い、公知のリソグラフィ技術によってレジストパターンを形成する。さらに、このようにして得られたレジストパターンをマスクとして導電層をエッチングすることにより配線パターンを形成する。

## 【 0 0 8 2 】

## 〔半導体装置〕

以上の製造方法によって得られた半導体装置の配線パターンの例を図 1 1 に示す。

## 【 0 0 8 3 】

図 1 1 に示す半導体装置においては、層間絶縁層 1 2 0 上に配線パターンが形成されている。配線パターンは、図 1 0 に示したマスクパターンのラインパターンに対応した配線と、エクステンションパターンに対応したエクステンション部とを有する。各部分の形状については、後に詳述する。

## 【 0 0 8 4 】

ビアホール 3 0, 4 0 およびコンタクト部 3 6, 4 6 は、第 1 の実施の形態と同様である。

## 【 0 0 8 5 】

図示の例では、コンタクト部 3 6, 4 6 に対して所定間隔より短い間隔（この例ではほぼ最小配線間隔）で第 1 配線 1 7 が配置されている。この第 1 配線 1 7 に隣接して第 2 配線 5 1 および第 3 配線 5 2 が配置されている。第 1 配線 1 7 は X 方向に延び、第 2 配線 5 1 は X 方向および Y 方向に延び、第 3 配線 5 2 は Y 方

向に延びている。そして、第2および第3配線51、52は、第1配線17に対していずれも最小配線間隔を隔てて配置されている。さらに、第2配線51と第3配線52とは、最小配線間隔を隔てて配置されている。

【0086】

第2および第3配線51、52は、ビアホール30、40内のコンタクト部36、46とそれぞれ重なる接続領域50a、60aを有する。接続領域60aは、非配線領域であって、かつ、禁止領域100（図10参照）以外の辺に対してエクステンション部を有する。

【0087】

すなわち、第2配線51においては、接続領域50aのいずれの辺においてもエクステンション部が形成されていない。また、第3配線52においては、接続領域60aの1辺において、X方向（右側）に延びるエクステンション部12aが形成されている。エクステンション部は、パターンの微細化に伴うレジスト層の後退により、マスクパターンにおけるエクステンションパターンの形状をそのまま反映することは難しい。しかし、少なくとも、接続領域60aにおいて、配線は下層のコンタクト部46をほぼ完全に覆うことができる。したがって、ビアホール内に形成されたコンタクト部と配線との接触抵抗を小さくでき、配線の信頼性を高めることができる。

【0088】

なお、この実施の形態においては、図10に示すように、第2および第3ラインパターン41、42は、X方向に対して最小配線幅で配置されているので、第1配線17にエッチングに起因する突出部がほとんど形成されない。

【0089】

（第4の実施の形態）

図12は、本発明の第4の実施の形態にかかる半導体装置の配線パターンを形成するためのマスクパターンを模式的に示す平面図である。図13は、図12に示すマスクパターンを用いてパターンニングされた配線パターンを示す平面図である。本実施の形態において、第1の実施の形態と実質的に同じ機能を有する部分には同じ符号を付して説明する。

## 【 0 0 9 0 】

## [マスクパターン]

この実施の形態では、コンタクト部を有する孤立ラインパターンを示す。具体的には、図 1 2 に示すマスクパターンでは、ラインパターン 6 0 の端部に正方形の接続領域パターン 5 a が形成されている。接続領域パターン 5 a は、正方形のビアホールパターン 3 と重なるパターン、あるいはビアホールパターン 3 より一回り大きいパターンを有する。接続領域パターン 5 a は、その 3 辺に対してエクステンションパターン 1 1, 1 2, 1 4 を有する。

## 【 0 0 9 1 】

## [マスクパターンの設計方法]

次に、図 1 2 に示すマスクパターンの設計方法について述べる。この設計方法は、第 1 の実施の形態で述べた設計方法と基本的に同じである。

## 【 0 0 9 2 】

(a) まず、配線パターンの基本パターンであるラインパターンを配置し、かつ、少なくとも下層の接続ホールパターンを覆う接続領域パターンと、この接続領域パターンの各辺にエクステンションパターンを配置する。

## 【 0 0 9 3 】

具体的には、たとえば図 1 2 に示すように、ラインパターン 6 0 を配置する。また、このラインパターンと重なる接続ホールパターン 3 を少なくとも覆う接続領域パターン 5 a にエクステンションパターンを配置する。エクステンションパターンは、図 2 に示すように、正方形の接続領域パターンの各辺に第 1 ないし第 4 エクステンションパターン 1 1 ~ 1 4 が配置される。

## 【 0 0 9 4 】

(b) さらに、第 1 ないし第 4 エクステンションパターン 1 1 ~ 1 4 のうち、接続領域パターン 5 a の辺と所定間隔より短い間隔（この例では最小配線間隔）で隣り合うラインパターンに面するエクステンションパターンを消去する。この実施の形態の場合には、ラインパターン 6 0 が孤立しているため、接続領域パターン 5 a の周囲に禁止領域がなく、したがってラインパターンと重なるエクステンションパターン以外のエクステンションパターン 1 1, 1 2, 1 3 が配置され

る。

#### 【 0 0 9 5 】

##### 〔半導体装置の製造方法〕

半導体装置の製造方法は、第 1 の実施の形態と同様である。すなわち、上述した方法により得られたマスクパターンを用い、公知のリソグラフィー技術によってレジストパターンを形成する。さらに、このようにして得られたレジストパターンをマスクとして導電層をエッチングすることにより配線パターンを形成する。

#### 【 0 0 9 6 】

##### 〔半導体装置〕

以上の製造方法によって得られた半導体装置の配線パターンの例を図 1 3 に示す。

#### 【 0 0 9 7 】

図 1 3 に示す半導体装置においては、層間絶縁層 1 2 0 上に配線パターンが形成されている。配線パターンは、図 1 2 に示したマスクパターンのラインパターンに対応した配線と、エクステンションパターンに対応したエクステンション部とを有する。図示の例では、配線 6 1 の端部に正方形の接続領域 5 0 a が形成されている。接続領域 5 0 a は、その 3 辺に対してエクステンション部 1 1 a, 1 2 a, 1 4 a を有する。

#### 【 0 0 9 8 】

エクステンション部は、パターンの微細化に伴うレジスト層の後退により、マスクパターンにおけるエクステンションパターンの形状をそのまま反映することは難しい。しかし、少なくとも、接続領域 5 0 a において、配線は下層のコンタクト部 3 6 をほぼ完全に覆うことができる。したがって、ビアホール内に形成されたコンタクト部と配線との接触抵抗を小さくでき、配線の信頼性を高めることができる。

#### 【 0 0 9 9 】

##### （第 5 の実施の形態）

図 1 4 は、本発明の第 5 の実施の形態にかかる半導体装置の配線パターンを形

成するためのマスクパターンを模式的に示す平面図である。図 1 5 は、図 1 4 に示すマスクパターンを用いてパターンニングされた配線パターンを示す平面図である。本実施の形態において、第 1 の実施の形態と実質的に同じ機能を有する部分には同じ符号を付して説明する。

#### 【0 1 0 0】

##### 〔マスクパターン〕

この実施の形態では、コンタクト部のみを構成する孤立ラインパターンを示す。具体的には、図 1 4 に示すマスクパターンでは、ラインパターン 7 0 は正方形の接続領域パターン 5 a から構成されている。接続領域パターン 5 a は、正方形のビアホールパターン 3 と重なるパターン、あるいはビアホールパターン 3 より一回り大きいパターンを有する。接続領域パターン 5 a は、その 4 辺に対してエクステンションパターン 1 1, 1 2, 1 3, 1 4 を有する。

#### 【0 1 0 1】

##### 〔マスクパターンの設計方法〕

次に、図 1 4 に示すマスクパターンの設計方法について述べる。この設計方法は、第 1 の実施の形態で述べた設計方法と基本的に同じである。

#### 【0 1 0 2】

(a) まず、配線パターンの基本パターンであるラインパターンを配置し、かつ、少なくとも下層の接続ホールパターンを覆う接続領域パターンと、この接続領域パターンの各辺にエクステンションパターンを配置する。

#### 【0 1 0 3】

具体的には、たとえば図 1 4 に示すように、ラインパターン 7 0 を配置する。また、このラインパターンと重なる接続ホールパターン 3 を少なくとも覆う接続領域パターン 5 a にエクステンションパターンを配置する。エクステンションパターンは、図 2 に示すように、正方形の接続領域パターンの各辺に第 1 ないし第 4 エクステンションパターン 1 1 ~ 1 4 が配置される。

#### 【0 1 0 4】

(b) さらに、第 1 ないし第 4 エクステンションパターン 1 1 ~ 1 4 のうち、接続領域パターン 5 a の辺と所定間隔より短い間隔（この例では最小配線間隔）

で隣り合うラインパターンに面するエクステンションパターンを消去する。この実施の形態の場合には、ラインパターン 7 0 が孤立しているため、接続領域パターン 5 a の周囲に禁止領域がなく、したがって接続領域パターン 5 a の 4 辺にエクステンションパターン 1 1 ~ 1 4 が配置される。

## 【 0 1 0 5 】

## 〔半導体装置の製造方法〕

半導体装置の製造方法は、第 1 の実施の形態と同様である。すなわち、上述した方法により得られたマスクパターンを用い、公知のリソグラフィ技術によってレジストパターンを形成する。さらに、このようにして得られたレジストパターンをマスクとして導電層をエッチングすることにより配線パターンを形成する。

## 【 0 1 0 6 】

## 〔半導体装置〕

以上の製造方法によって得られた半導体装置の配線パターンの例を図 1 4 に示す。

## 【 0 1 0 7 】

図 1 4 に示す半導体装置においては、層間絶縁層 1 2 0 上に配線パターンが形成されている。配線パターンは、図 1 4 に示したマスクパターンのラインパターンに対応した配線と、エクステンションパターンに対応したエクステンション部とを有する。図示の例では、配線 7 1 は正方形の接続領域 5 0 a からなり、接続領域 5 0 a は、その 4 辺に対してエクステンション部 1 1 a, 1 2 a, 1 3 a, 1 4 a を有する。

## 【 0 1 0 8 】

エクステンション部は、パターンの微細化に伴うレジスト層の後退により、マスクパターンにおけるエクステンションパターンの形状をそのまま反映することは難しい。しかし、少なくとも、配線 7 1 は、接続領域 5 0 a において、下層のコンタクト部 3 6 をほぼ完全に覆うことができる。したがって、ビアホール内に形成されたコンタクト部と配線との接触抵抗を小さくでき、配線の信頼性を高めることができる。

【 0 1 0 9 】

以上、本発明にかかる半導体装置の代表例について述べたが、本発明はこれらに限定されず、発明の要旨の範囲内で各種の態様を取りうる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施の形態による半導体装置における配線パターンを形成するためのマスクパターンを示す平面図である。

【図 2】

図 1 に示すマスクパターンを設計する方法を説明するための平面図である。

【図 3】

図 1 に示すマスクパターンをマスクとしてフォトリソ技術及びエッチング技術により形成された配線パターンを示す平面図である。

【図 4】

本発明の第 2 の実施の形態による半導体装置における配線パターンを形成するためのマスクパターンを示す平面図である。

【図 5】

図 4 に示すマスクパターンをマスクとしてフォトリソ技術及びエッチング技術により形成された配線パターンを示す平面図である。

【図 6】

一般的な半導体装置における配線パターンを形成するためのマスクパターンを示す平面図である。

【図 7】

図 6 に示すマスクパターンをマスクとしてフォトリソ技術及びエッチング技術により形成された配線パターンを示す平面図である。

【図 8】

図 7 に示す A - A 線に沿った断面図である。

【図 9】

図 7 に示す B - B 線に沿った断面図である。

【図 1 0】



本発明の第 3 の実施の形態による半導体装置における配線パターンを形成するためのマスクパターンを示す平面図である。

【図 1 1】

図 1 0 に示すマスクパターンをマスクとしてフォトリソ技術及びエッチング技術により形成された配線パターンを示す平面図である。

【図 1 2】

本発明の第 4 の実施の形態による半導体装置における配線パターンを形成するためのマスクパターンを示す平面図である。

【図 1 3】

図 1 2 に示すマスクパターンをマスクとしてフォトリソ技術及びエッチング技術により形成された配線パターンを示す平面図である。

【図 1 4】

本発明の第 5 の実施の形態による半導体装置における配線パターンを形成するためのマスクパターンを示す平面図である。

【図 1 5】

図 1 4 に示すマスクパターンをマスクとしてフォトリソ技術及びエッチング技術により形成された配線パターンを示す平面図である。

【符号の説明】

- 3, 4, 10   ピアホールパターン
- 5, 6, 7   ラインパターン
- 5a, 6a, 10a   接続領域パターン
- 11, 12, 13, 14   エクステンションパターン
- 12a, 13a, 14a   エクステンション部
- 15, 16, 17   配線
- 21, 22   ラインパターン
- 31, 32   配線
- 30, 40   ピアホール
- 36, 46   コンタクト部
- 41, 42   ラインパターン

5 0 a, 6 0 a 接続領域

5 1, 5 2 配線

6 0, 7 0 ラインパターン

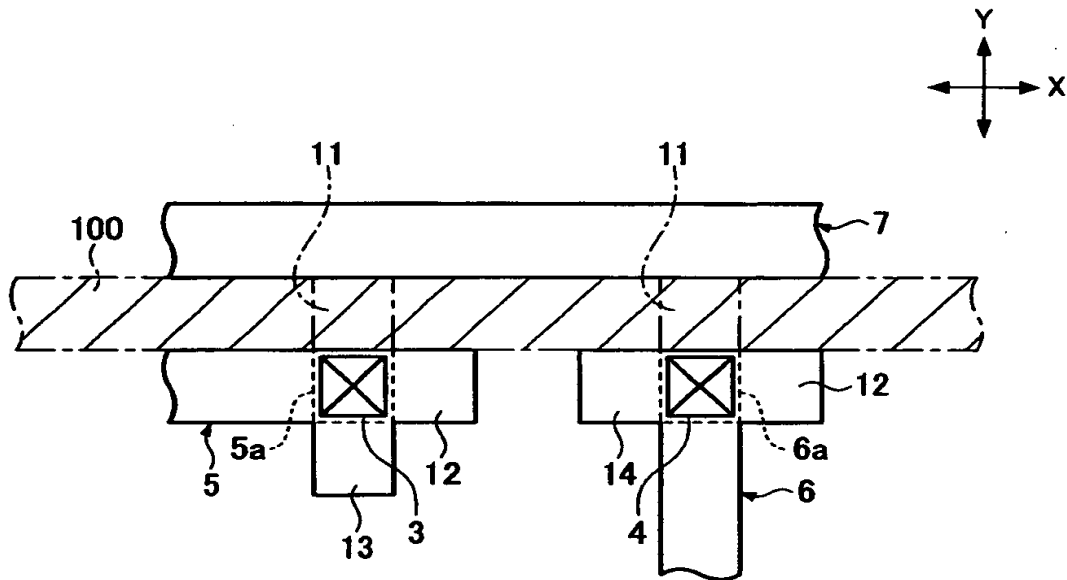
6 1, 6 2 配線

1 0 0 禁止領域

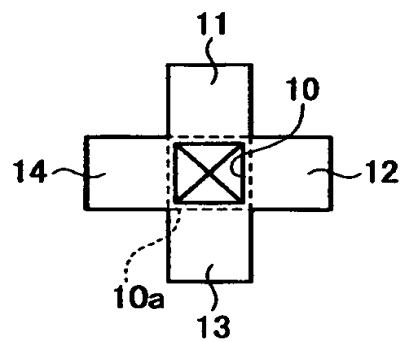
1 2 0 層間絶縁層

【書類名】 図面

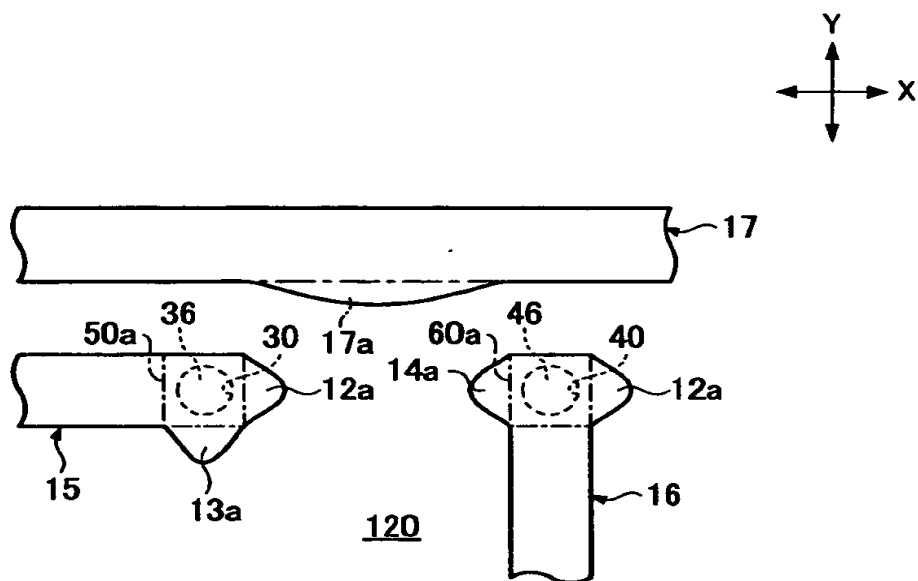
【図 1】



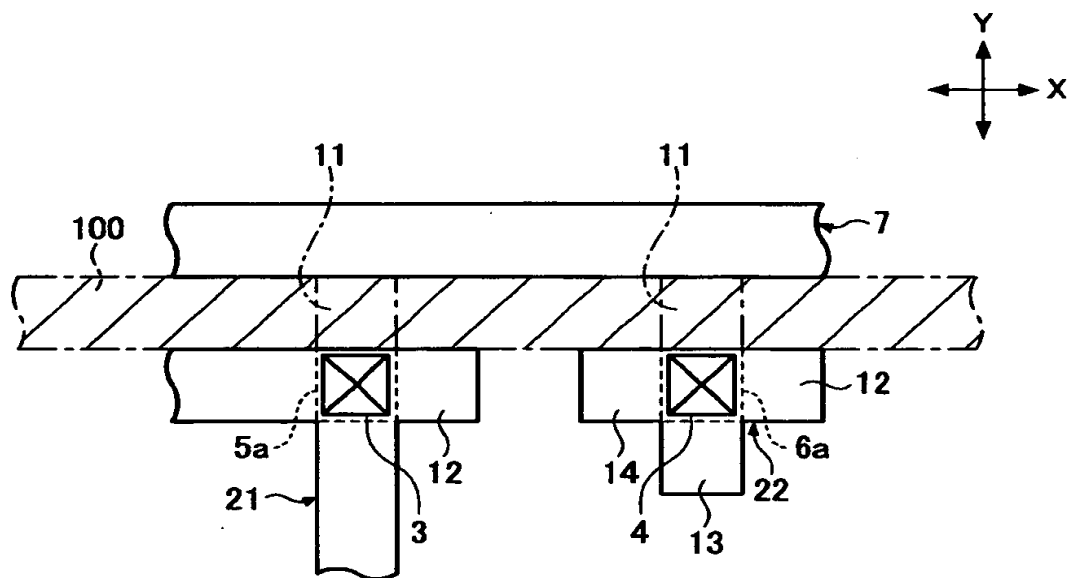
【図 2】



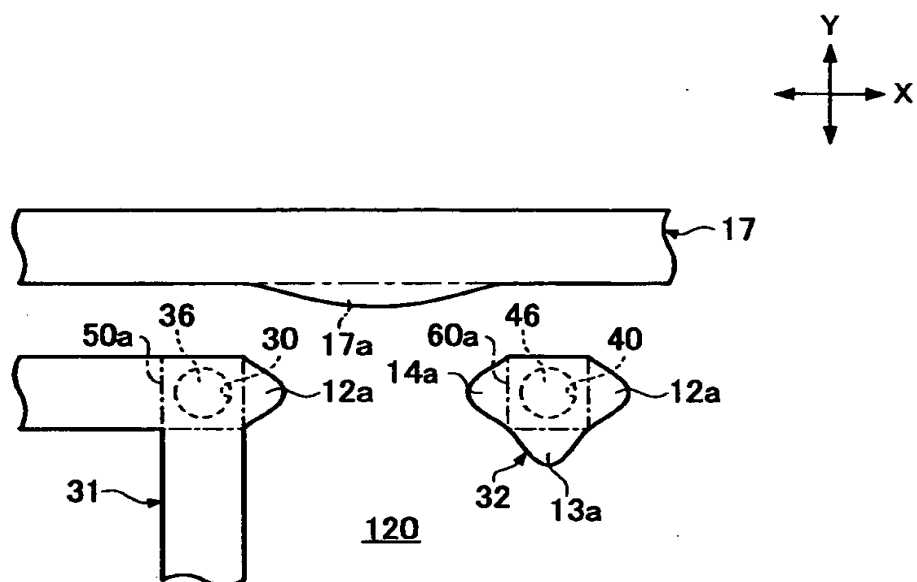
【図 3】



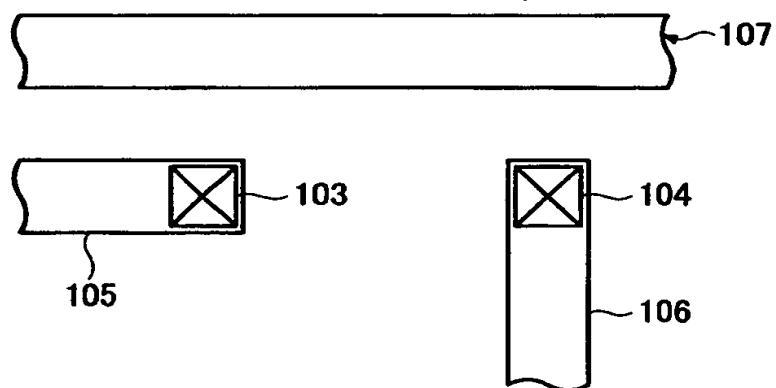
【図 4】



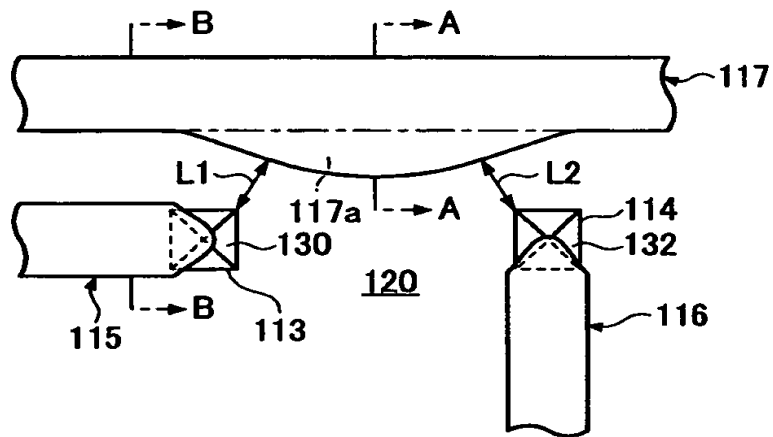
【図 5】



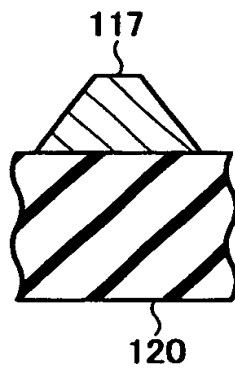
【図 6】



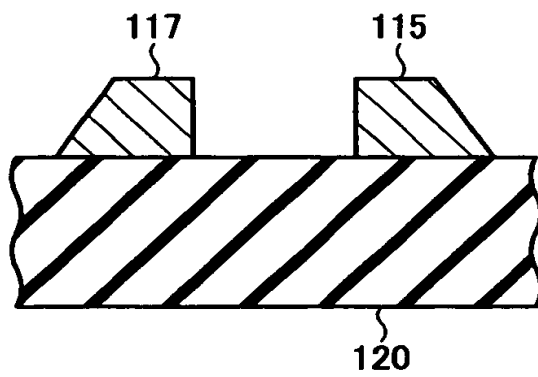
【図 7】



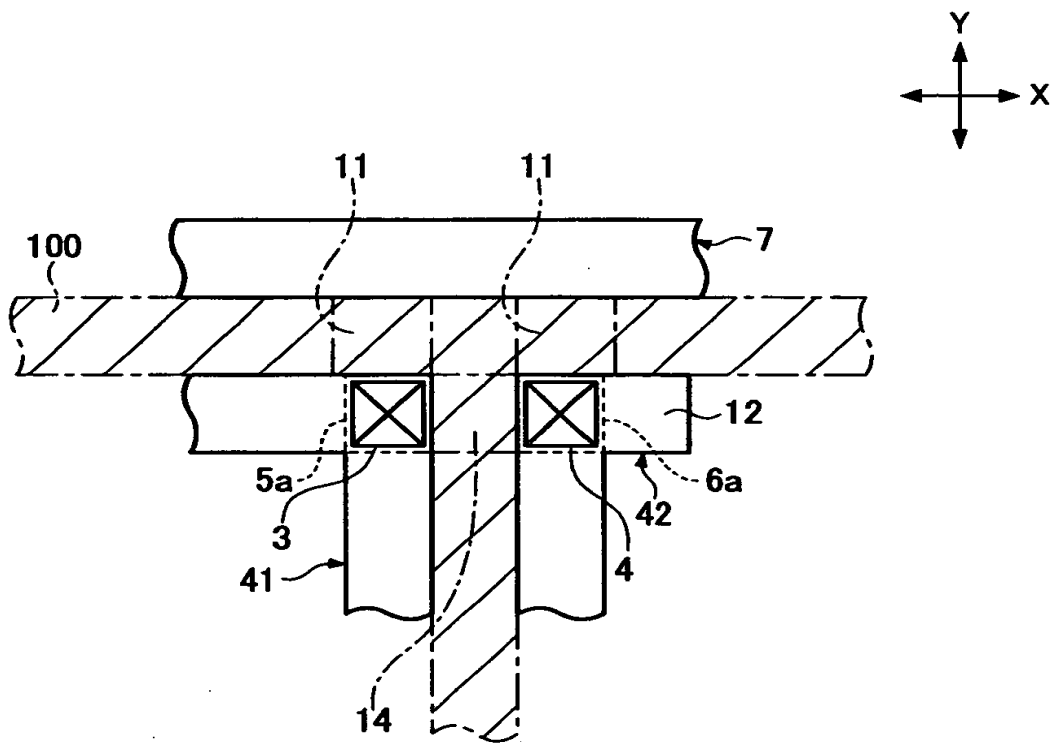
【図 8】



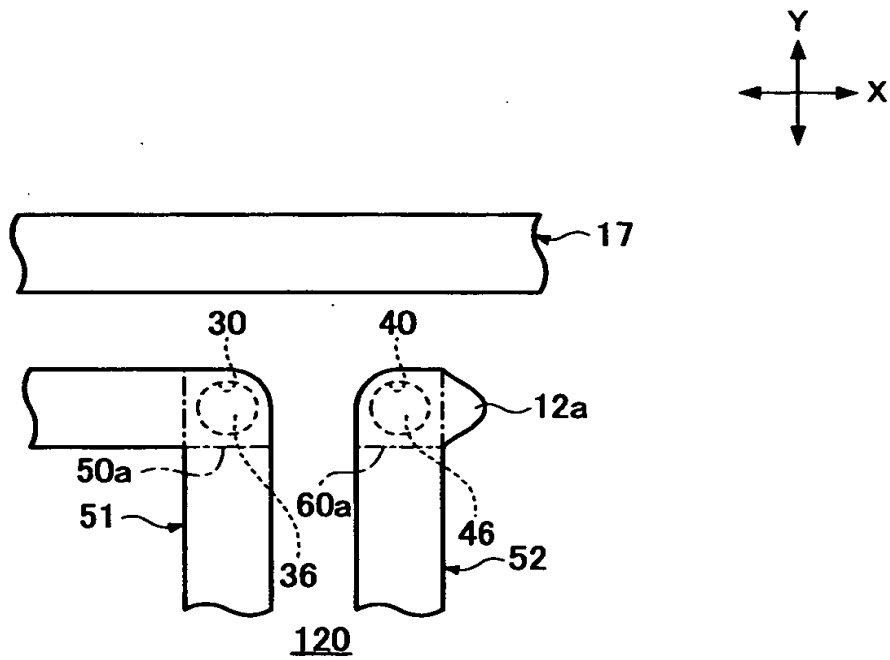
【図 9】



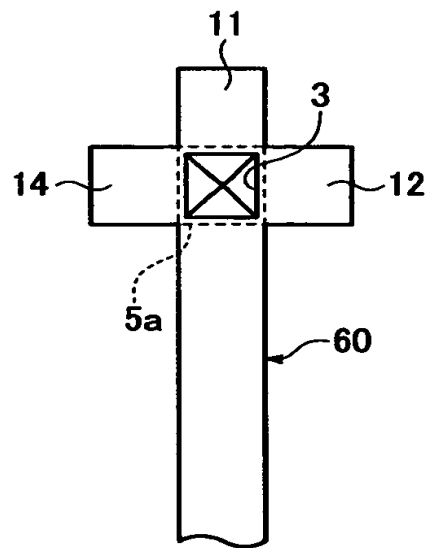
【図 1 0】



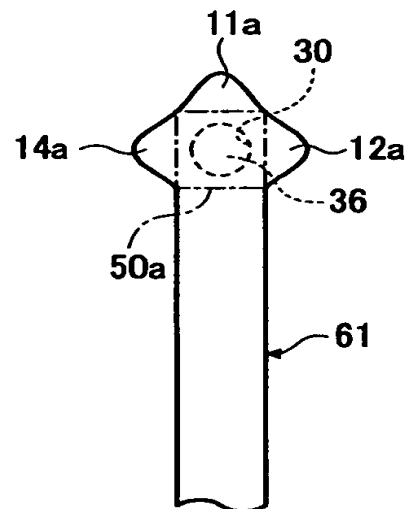
【図 1 1】



【図 1 2】

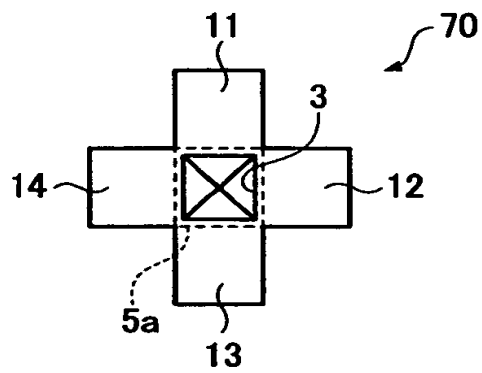


【図 1 3】

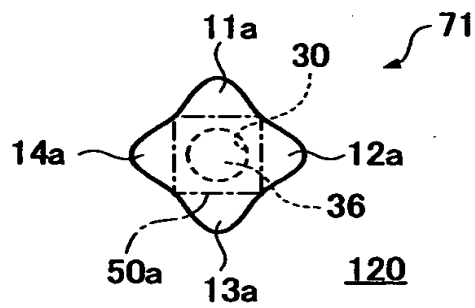




【図 1 4】



【図 1 5】



【書類名】            要約書

【要約】

【課題】    配線と接続ホール内に埋め込まれたコンタクト部との接触抵抗が高くなり、並びに配線信頼性の高い半導体装置、およびその製造方法を提供する。

【解決手段】    半導体装置は、層間絶縁層 1 2 0 に形成されたコンタクト部 3 6 , 4 6 と、層間絶縁層上に形成され、前記コンタクト部に対して所定間隔より短い間隔で配置された第 1 配線 1 7 と、コンタクト部との接続領域 5 0 a , 6 0 a を有する第 2 , 第 3 配線 1 5 , 1 6 と、を有する。接続領域は、少なくともコンタクト部を覆う正方形をなす。第 2 , 第 3 配線は、コンタクト部との接続領域において、非配線領域に延びるエクステンション部 1 2 a , 1 3 a を有する。エクステンション部は、接続領域において、第 1 配線に面した辺以外の辺に配置される。

【選択図】            図 3

認定・付加情報

特許出願の番号	特願 2 0 0 0 - 3 9 4 9 5 9
受付番号	5 0 0 0 1 6 8 0 3 5 7
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 3 年 1 月 4 日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000002369
【住所又は居所】	東京都新宿区西新宿 2 丁目 4 番 1 号
【氏名又は名称】	セイコーエプソン株式会社

【代理人】

申請人

【識別番号】	100090479
【住所又は居所】	東京都杉並区荻窪 5 丁目 2 6 番 1 3 号 荻窪 TM ビル 2 階 井上・布施合同特許事務所
【氏名又は名称】	井上 一

【選任した代理人】

【識別番号】	100090387
【住所又は居所】	東京都杉並区荻窪 5 丁目 2 6 番 1 3 号 荻窪 TM ビル 2 階 井上・布施合同特許事務所
【氏名又は名称】	布施 行夫

【選任した代理人】

【識別番号】	100090398
【住所又は居所】	東京都杉並区荻窪 5 丁目 2 6 番 1 3 号 荻窪 TM ビル 2 階 井上・布施合同特許事務所
【氏名又は名称】	大淵 美千栄

出 願 人 履 歴 情 報

識別番号 [000002369]

1. 変更年月日	1990年 8月20日
[変更理由]	新規登録
住 所	東京都新宿区西新宿2丁目4番1号
氏 名	セイコーエプソン株式会社